

Requested Patent: JP7094606A

RECEIVED
CENTRAL FAX CENTER

Title: NOVOLATILE SEMICONDUCTOR MEMORY DEVICE ;

OCT 11 2005

Abstracted Patent: JP7094606 ;

Publication Date: 1995-04-07 ;

Inventor(s): HASHIGAMI HIROYUKI ;

Applicant(s): RICOH CO LTD ;

Application Number: JP19930261508 19930925 ;

Priority Number(s): ;

IPC Classification: H01L21/8247; H01L29/788; H01L29/792 ;

Equivalents: JP3354661B2 ;

ABSTRACT:

PURPOSE: To restrict the charge gain by employing an insulation film having low thermal hysteresis of stress as a passivation film.

CONSTITUTION: A source region 4, a drain region 6 and a floating gate electrode 10 are formed on a silicon substrate 2 and an ONO dielectric film 12, comprising first and third silicon oxide layers and a second silicon nitride layer, is deposited thereon. A first layer metalization 18 is then connected with the source region 4 and the drain region 6 through a contact hole made through an insulation film 16 formed on a control gate electrode 14. Subsequently, a second layer metalization 22 is formed on an interlayer insulation film 20 and connected with the metalization 18 through a through hole. The charge gain can be restricted by employing a TEO silicon oxide/silicon nitride and TEO silicon oxide having low thermal hysteresis of stress, respectively, as a passivation film 24 on the metalization 22 and the interlayer insulation film 20.

RECEIVED
CENTRAL FAX CENTER

OCT 11 2005

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94606

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl.*

識別記号

内整理番号

F I

技術表示箇所

H01L 21/8247
29/788
29/792

H01L 29/78 371

審査請求 未請求 請求項の数 6 FD (全 6 頁)

(21) 出願番号 特願平5-261508

(71) 出願人 000006747

(22) 出願日 平成5年(1993)9月25日

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 橋上 裕幸

東京都大田区中馬込1丁目3番6号 株式会社リコー内

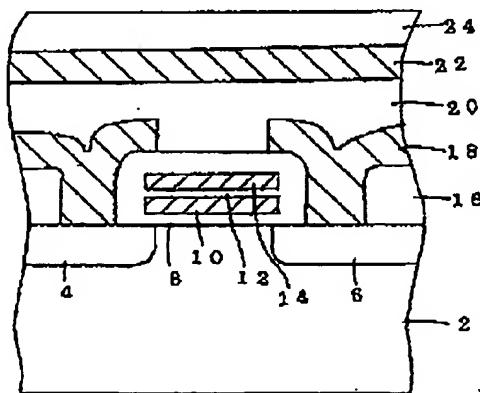
(74) 代理人 弁理士 野口 雄

(54) 【発明の名称】 不揮発性半導体メモリ装置

(57) 【要約】

【目的】 不揮発性半導体メモリ装置のチャージゲイン量を小さくする。

【構成】 パッシベーション膜24として膜応力の熱ヒステリシスの小さい絶縁膜TEOSシリコン酸化膜/シリコン空化膜を用い、2層メタル配線の層間絶縁膜20として膜応力の熱ヒステリシスの小さいTEOSシリコン酸化膜を用いる



(2)

特開平7-94606

2

【特許請求の範囲】

【請求項1】 基板のチャネル領域上にゲート絶縁膜を介してフローティングゲート電極を有し、その上に1層目がシリコン酸化膜、2層目がシリコン空化膜、3層目がシリコン酸化膜にてなる3層構造のONO誘電体膜を介してコントロールゲート電極が形成されている不揮発性半導体メモリ装置において、

パッシベーション膜として昇温と降温を含む熱サイクルにおける膜応力の熱ヒステリシスの小さい絶縁膜を用いることを特徴とする不揮発性半導体メモリ装置。

【請求項2】 パッシベーション膜はTEOSガスプロセスで形成されたシリコン酸化膜である請求項1に記載の不揮発性半導体メモリ装置。

【請求項3】 パッシベーション膜は1層目がTEOSガスプロセスで形成されたシリコン酸化膜、2層目がシリコン空化膜にてなる2層構造の絶縁膜である請求項1に記載の不揮発性半導体メモリ装置。

【請求項4】 パッシベーション膜は弱い圧縮応力を有する絶縁膜を含んでいる請求項1に記載の不揮発性半導体メモリ装置。

【請求項5】 コントロールゲート電極上に絶縁膜を介して2層メタル配線が形成され、その2層メタル配線上にパッシベーション膜が形成されており、前記2層メタル配線の1層目メタル配線と2層目メタル配線の間の層間絶縁膜として昇温と降温を含む熱サイクルにおける膜応力の熱ヒステリシスの小さい絶縁膜を用いる請求項1に記載の不揮発性半導体メモリ装置。

【請求項6】 1層目メタル配線と2層目メタル配線の間の前記層間絶縁膜はTEOSガスプロセスで形成されたシリコン酸化膜である請求項5に記載の不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフローティングゲート電極を有する不揮発性半導体メモリ装置に關し、特にフローティングゲート電極とコントロールゲート電極の間の誘電体膜が1層目がシリコン酸化膜、2層目がシリコン空化膜、3層目がシリコン酸化膜にてなる3層構造のONO誘電体膜である不揮発性半導体メモリ装置に関するものである。

【0002】

【従来の技術】 不揮発性半導体メモリ装置のパッシベーション膜としては、紫外線消去が必要なEPROMの場合には紫外線を透過できるようにするためにそのパッシベーション膜としてはリンを含んだシリコン酸化膜であるPSG單層膜が使用される。また、紫外線消去が不要なワンタイムROMや電気的消去が可能なEEPROMの場合には、パッシベーション膜として1層目がPSG膜、2層目がシリコン空化膜にてなる積層絶縁膜が使用されている。PSG膜の上にシリコン空化膜を積層した

構造のパッシベーション膜を形成する場合、生産上の稼働効率を考慮して同一CVD装置内の別のチャンバでプラズマPSG膜とプラズマシリコン空化膜を連続して堆積している。

【0003】 フローティングゲート電極とコントロールゲート電極の間の誘電体膜としてONO膜を用いた2層ポリシリコン構造の不揮発性半導体メモリ装置において、プログラミングによりフローティングゲート電極に電荷を蓄積した状態で高溫で保存し、その後紫外線照射によりデータを消去した後、再び高溫で保存すると、紫外線によるデータ消去後の状態と比較してメモリ素子のしきい値電圧が上昇する現象が生じる。この現象はチャージゲイン現象と呼ばれており、ONO膜の1層目のシリコン酸化膜が薄膜化されることにより一層顯著になってくることが報告されている(1991 IEEE/I RPS, 175~182頁参照)。

【0004】

【発明が解決しようとする課題】 システム化された半導体集積回路装置の動作電圧の低電圧化が進む中、不揮発性半導体メモリ装置を搭載した1チップマイクロコンピュータも含めて不揮発性半導体メモリ装置自身の低電圧動作化も強く求められている。その際、不揮発性半導体メモリ装置のしきい値電圧が上昇するチャージゲイン現象が起こると、不揮発性半導体メモリ装置の低電圧操作を不安定にし、低電圧動作化の妨げになる。本発明はチャージゲイン現象の小さい不揮発性半導体メモリ装置を提供することを目的とするものである。

【0005】

【課題を解決するための手段】 本発明が対象とする不揮発性半導体メモリ装置を図1に示す。シリコン基板2に不純物拡散層によるソース領域4とドレイン領域6が形成され、面領域4、6間にチャネル領域となる。チャネル領域上にはゲート酸化膜8を介してポリシリコンにてなるフローティングゲート電極10が形成され、その上に1層目がシリコン酸化膜、2層目がシリコン空化膜、3層目がシリコン酸化膜にてなる3層構造のONO誘電体膜12が形成されている。ONO誘電体膜12上にはポリシリコンにてなるコントロールゲート電極14が形成されている。コントロールゲート電極14上には絶縁膜16が形成され、絶縁膜16に設けられたコンシタクトホールを介して1層目メタル配線18がソース領域4、ドレイン領域6と接続され、コントロールゲート電極14にもメタル配線が接続されている。メタル配線18上には層間絶縁膜20が設けられ、その上に2層目のメタル配線22が形成されている。メタル配線18とメタル配線22の間は層間絶縁膜20に設けられたスルーホールを介して接続されている。メタル配線22上にはパッシベーション膜24が形成され、パッシベーション膜24には外部と接続するためのパッドを形成するために開口部が設けられている。

40
44
48
52
56
60
64
68
72
76
80
84
88
92
96
100
104
108
112
116
120
124
128
132
136
140
144
148
152
156
160
164
168
172
176
180
184
188
192
196
200
204
208
212
216
220
224
228
232
236
240
244
248
252
256
260
264
268
272
276
280
284
288
292
296
300
304
308
312
316
320
324
328
332
336
340
344
348
352
356
360
364
368
372
376
380
384
388
392
396
400
404
408
412
416
420
424
428
432
436
440
444
448
452
456
460
464
468
472
476
480
484
488
492
496
500
504
508
512
516
520
524
528
532
536
540
544
548
552
556
560
564
568
572
576
580
584
588
592
596
600
604
608
612
616
620
624
628
632
636
640
644
648
652
656
660
664
668
672
676
680
684
688
692
696
700
704
708
712
716
720
724
728
732
736
740
744
748
752
756
760
764
768
772
776
780
784
788
792
796
800
804
808
812
816
820
824
828
832
836
840
844
848
852
856
860
864
868
872
876
880
884
888
892
896
900
904
908
912
916
920
924
928
932
936
940
944
948
952
956
960
964
968
972
976
980
984
988
992
996
1000
1004
1008
1012
1016
1020
1024
1028
1032
1036
1040
1044
1048
1052
1056
1060
1064
1068
1072
1076
1080
1084
1088
1092
1096
1100
1104
1108
1112
1116
1120
1124
1128
1132
1136
1140
1144
1148
1152
1156
1160
1164
1168
1172
1176
1180
1184
1188
1192
1196
1200
1204
1208
1212
1216
1220
1224
1228
1232
1236
1240
1244
1248
1252
1256
1260
1264
1268
1272
1276
1280
1284
1288
1292
1296
1300
1304
1308
1312
1316
1320
1324
1328
1332
1336
1340
1344
1348
1352
1356
1360
1364
1368
1372
1376
1380
1384
1388
1392
1396
1400
1404
1408
1412
1416
1420
1424
1428
1432
1436
1440
1444
1448
1452
1456
1460
1464
1468
1472
1476
1480
1484
1488
1492
1496
1500
1504
1508
1512
1516
1520
1524
1528
1532
1536
1540
1544
1548
1552
1556
1560
1564
1568
1572
1576
1580
1584
1588
1592
1596
1600
1604
1608
1612
1616
1620
1624
1628
1632
1636
1640
1644
1648
1652
1656
1660
1664
1668
1672
1676
1680
1684
1688
1692
1696
1700
1704
1708
1712
1716
1720
1724
1728
1732
1736
1740
1744
1748
1752
1756
1760
1764
1768
1772
1776
1780
1784
1788
1792
1796
1800
1804
1808
1812
1816
1820
1824
1828
1832
1836
1840
1844
1848
1852
1856
1860
1864
1868
1872
1876
1880
1884
1888
1892
1896
1900
1904
1908
1912
1916
1920
1924
1928
1932
1936
1940
1944
1948
1952
1956
1960
1964
1968
1972
1976
1980
1984
1988
1992
1996
2000
2004
2008
2012
2016
2020
2024
2028
2032
2036
2040
2044
2048
2052
2056
2060
2064
2068
2072
2076
2080
2084
2088
2092
2096
2100
2104
2108
2112
2116
2120
2124
2128
2132
2136
2140
2144
2148
2152
2156
2160
2164
2168
2172
2176
2180
2184
2188
2192
2196
2200
2204
2208
2212
2216
2220
2224
2228
2232
2236
2240
2244
2248
2252
2256
2260
2264
2268
2272
2276
2280
2284
2288
2292
2296
2300
2304
2308
2312
2316
2320
2324
2328
2332
2336
2340
2344
2348
2352
2356
2360
2364
2368
2372
2376
2380
2384
2388
2392
2396
2400
2404
2408
2412
2416
2420
2424
2428
2432
2436
2440
2444
2448
2452
2456
2460
2464
2468
2472
2476
2480
2484
2488
2492
2496
2500
2504
2508
2512
2516
2520
2524
2528
2532
2536
2540
2544
2548
2552
2556
2560
2564
2568
2572
2576
2580
2584
2588
2592
2596
2600
2604
2608
2612
2616
2620
2624
2628
2632
2636
2640
2644
2648
2652
2656
2660
2664
2668
2672
2676
2680
2684
2688
2692
2696
2700
2704
2708
2712
2716
2720
2724
2728
2732
2736
2740
2744
2748
2752
2756
2760
2764
2768
2772
2776
2780
2784
2788
2792
2796
2800
2804
2808
2812
2816
2820
2824
2828
2832
2836
2840
2844
2848
2852
2856
2860
2864
2868
2872
2876
2880
2884
2888
2892
2896
2900
2904
2908
2912
2916
2920
2924
2928
2932
2936
2940
2944
2948
2952
2956
2960
2964
2968
2972
2976
2980
2984
2988
2992
2996
3000
3004
3008
3012
3016
3020
3024
3028
3032
3036
3040
3044
3048
3052
3056
3060
3064
3068
3072
3076
3080
3084
3088
3092
3096
3100
3104
3108
3112
3116
3120
3124
3128
3132
3136
3140
3144
3148
3152
3156
3160
3164
3168
3172
3176
3180
3184
3188
3192
3196
3200
3204
3208
3212
3216
3220
3224
3228
3232
3236
3240
3244
3248
3252
3256
3260
3264
3268
3272
3276
3280
3284
3288
3292
3296
3300
3304
3308
3312
3316
3320
3324
3328
3332
3336
3340
3344
3348
3352
3356
3360
3364
3368
3372
3376
3380
3384
3388
3392
3396
3400
3404
3408
3412
3416
3420
3424
3428
3432
3436
3440
3444
3448
3452
3456
3460
3464
3468
3472
3476
3480
3484
3488
3492
3496
3500
3504
3508
3512
3516
3520
3524
3528
3532
3536
3540
3544
3548
3552
3556
3560
3564
3568
3572
3576
3580
3584
3588
3592
3596
3600
3604
3608
3612
3616
3620
3624
3628
3632
3636
3640
3644
3648
3652
3656
3660
3664
3668
3672
3676
3680
3684
3688
3692
3696
3700
3704
3708
3712
3716
3720
3724
3728
3732
3736
3740
3744
3748
3752
3756
3760
3764
3768
3772
3776
3780
3784
3788
3792
3796
3800
3804
3808
3812
3816
3820
3824
3828
3832
3836
3840
3844
3848
3852
3856
3860
3864
3868
3872
3876
3880
3884
3888
3892
3896
3900
3904
3908
3912
3916
3920
3924
3928
3932
3936
3940
3944
3948
3952
3956
3960
3964
3968
3972
3976
3980
3984
3988
3992
3996
4000
4004
4008
4012
4016
4020
4024
4028
4032
4036
4040
4044
4048
4052
4056
4060
4064
4068
4072
4076
4080
4084
4088
4092
4096
4100
4104
4108
4112
4116
4120
4124
4128
4132
4136
4140
4144
4148
4152
4156
4160
4164
4168
4172
4176
4180
4184
4188
4192
4196
4200
4204
4208
4212
4216
4220
4224
4228
4232
4236
4240
4244
4248
4252
4256
4260
4264
4268
4272
4276
4280
4284
4288
4292
4296
4300
4304
4308
4312
4316
4320
4324
4328
4332
4336
4340
4344
4348
4352
4356
4360
4364
4368
4372
4376
4380
4384
4388
4392
4396
4400
4404
4408
4412
4416
4420
4424
4428
4432
4436
4440
4444
4448
4452
4456
4460
4464
4468
4472
4476
4480
4484
4488
4492
4496
4500
4504
4508
4512
4516
4520
4524
4528
4532
4536
4540
4544
4548
4552
4556
4560
4564
4568
4572
4576
4580
4584
4588
4592
4596
4600
4604
4608
4612
4616
4620
4624
4628
4632
4636
4640
4644
4648
4652
4656
4660
4664
4668
4672
4676
4680
4684
4688
4692
4696
4700
4704
4708
4712
4716
4720
4724
4728
4732
4736
4740
4744
4748
4752
4756
4760
4764
4768
4772
4776
4780
4784
4788
4792
4796
4800
4804
4808
4812
4816
4820
4824
4828
4832
4836
4840
4844
4848
4852
4856
4860
4864
4868
4872
4876
4880
4884
4888
4892
4896
4900
4904
4908
4912
4916
4920
4924
4928
4932
4936
4940
4944
4948
4952
4956
4960
4964
4968
4972
4976
4980
4984
4988
4992
4996
5000
5004
5008
5012
5016
5020
5024
5028
5032
5036
5040
5044
5048
5052
5056
5060
5064
5068
5072
5076
5080
5084
5088
5092
5096
5100
5104
5108
5112
5116
5120
5124
5128
5132
5136
5140
5144
5148
5152
5156
5160
5164
5168
5172
5176
5180
5184
5188
5192
5196
5200
5204
5208
5212
5216
5220
5224
5228
5232
5236
5240
5244
5248
5252
5256
5260
5264
5268
5272
5276
5280
5284
5288
5292
5296
5300
5304
5308
5312
5316
5320
5324
5328
5332
5336
5340
5344
5348
5352
5356
5360
5364
5368
5372
5376
5380
5384
5388
5392
5396
5400
5404
5408
5412
5416
5420
5424
5428
5432
5436
5440
5444
5448
5452
5456
5460
5464
5468
5472
5476
5480
5484
5488
5492
5496
5500
5504
5508
5512
5516
5520
5524
5528
5532
5536
5540
5544
5548
5552
5556
5560
5564
5568
5572
5576
5580
5584
5588
5592
5596
5600
5604
5608
5612
5616
5620
5624
5628
5632
5636
5640
5644
5648
5652
5656
5660
5664
5668
5672
5676
5680
5684
5688
5692
5696
5700
5704
5708
5712
5716
5720
5724
5728
5732
5736
5740
5744
5748
5752
5756
5760
5764
5768
5772
5776
5780
5784
5788
5792
5796
5800
5804
5808
5812
5816
5820
5824
5828
5832
5836
5840
5844
5848
5852
5856
5860
5864
5868
5872
5876
5880
5884
5888
5892
5896
5900
5904
5908
5912
5916
5920
5924
5928
5932
5936
5940
5944
5948
5952
5956
5960
5964
5968
5972
5976
5980
5984
5988
5992
5996
6000
6004
6008
6012
6016
6020
6024
6028
6032
6036
6040
60

(3)

3

【0006】本発明はこのような構造の不揮発性半導体メモリ装置で、バッファーション膜24として、昇温と降温を含む熱サイクルにおける膜応力の熱ヒステリシスの小さい絶縁膜を用いたものである。本発明の好ましい態様では、バッファーション膜はTEOSガスプロセスで形成されたシリコン酸化膜（以下、TEOSシリコン酸化膜という）である。TEOSシリコン酸化膜は、TEOS（Tetraethylorthosilicate, Si(O₂H₅)₄）を反応ガスとしてプラズマCVD法により成長させたシリコン酸化膜である。

【0007】さらに好ましい態様では、バッファーション膜は1層目がTEOSシリコン酸化膜、2層目がシリコン空化膜にてなる2層構造の絶縁膜である。さらに好ましい態様では、バッファーション膜は弱い圧縮応力を有する絶縁膜を含んでいる。

【0008】さらに好ましい態様では、コントロールゲート電極上に絶縁膜を介して2層メタル配線が形成され、その2層メタル配線上にバッファーション膜が形成されており、その2層メタル配線の1層目メタル配線と2層目メタル配線の間の層間絶縁膜として昇温と降温を含む熱サイクルにおける膜応力の熱ヒステリシスの小さい絶縁膜を用いる。さらに好ましい態様では、1層目メタル配線と2層目メタル配線の間の層間絶縁膜としてTEOSシリコン酸化膜を用いる。

【0009】チャージゲインを評価する方法の一例は、図2に示されるように、単体のEPRROM素子を用いてプログラミング（フローティングゲート電極10に電荷を蓄積）→250°Cで150時間高温保存→紫外線照射によるデータ消去→250°Cで3時間高温保存、を行ない、紫外線照射によるデータ消去後から250°Cで3時間の高温保存後までの間でのメモリ素子のしきい値電圧の上昇量ΔV_{t h}を測定し、その値をチャージゲイン量と定義する。プログラミングの際はソース電極をGNDとし、コントロールゲート電極とドレイン電極に12.5Vを1ミリ秒間印加する。しきい値電圧の測定はソース電極をGNDとし、ドレイン電極に2Vを印加し、コントロールゲート電極の印加電圧を上げていったときにこのメモリ素子がオンとなるときのゲート電圧として測定する。

【0010】本発明はチャージゲイン現象が起こるのはゲート電極のONO膜を形成した後のバッファーション膜の応力変動が大きく影響し、さらにはメタル配線間の層間絶縁膜の応力変動も影響することを見出し、それらの応力を緩和することによってチャージゲイン量を抑えるようにしたものである。

【0011】図3に単層膜の応力ヒステリシスを測定した結果を示す。図3はPSG膜、引っ張り応力をもつシリコン空化膜（SiN（Tensile））、圧縮応力をもつシリコン空化膜（SiN（Compressive））、及びTEOSシリコン酸化膜（TEOS）のそれぞれについて、

特開平7-94606

4

室温から400°C余りの温度まで加熱し、再び室温まで冷却させたときの応力変化を示している。この結果によれば、PSG膜は大きな応力ヒステリシスを有し、成膜されたままの初期状態では-110MPaの圧縮応力をもっていたものが、熱処理後には+100MPaの引っ張り応力をもつものに変化する。これに対してTEOSシリコン酸化膜の応力の熱ヒステリシスは成膜されたままの初期状態では-75MPaであり、熱サイクル後には-50MPaとわずかに変化するに過ぎない。

10 [0012]

【実施例】試料AからEの5種類の試料を作成し、これらの試料におけるメタル配線層の間の層間絶縁膜20と、バッファーション膜24の種類を図4に示す。それぞれは積層構造であり、／の左側が下層膜、右側が上層膜を意味する。メタル配線層の間の層間絶縁膜を2層にしているのは平坦化のためであり、1層目の絶縁膜を堆積し、その上にSOG（スピノン・オン・ガラス）膜を塗布し、焼成後にエッチパックを施して平坦化し、その上にさらに絶縁膜を堆積させたものである。バッファーション膜は下層に被覆性のよいPSG膜（試料A）又はTEOSシリコン酸化膜（試料B～E）を形成し、その上に緻密性がよく水分透過に対する耐性の優れたシリコン空化膜を積層したものである。

【0013】試料Aは従来から知られている構造であり、メタル配線の層間絶縁膜はPSG膜からなり、バッファーション膜は下層がPSG膜で上層が紫外線透過型シリコン空化膜（引っ張り応力型）にてなる積層膜である。試料BからEは本発明の実施例であり、バッファーション膜はいずれも下層がTEOSシリコン酸化膜、上層が紫外線透過型シリコン空化膜（Trans. SiN）にてなる積層膜である。シリコン空化膜でSiN（Tensile）と記されているのは+150MPaの引っ張り応力をもつシリコン空化膜であり、SiN（Compressive）と記されているのは-150MPaの圧縮応力をもつシリコン空化膜である。シリコン空化膜の応力の大きさは製造条件の反応ガス組成を変えることにより変化させることができ、実施例に用いた応力の膜に限定されるものではない。

【0014】実施例B～EのうちBとCはメタル配線の層間絶縁膜が従来と同じくPSG膜である。DとEはメタル配線の層間絶縁膜がTEOSシリコン酸化膜からなるものである。各膜の膜厚の一例を示すと、メタル配線の層間絶縁膜ではPSG/PSG膜もTEOS/TEOS膜も、ともに下層が6500Å、上層が4000Åである。バッファーション膜ではPSG/SiN膜もTEOS/SiN膜も、ともに下層が8000Å、上層が6000Åである。

【0015】これらの試料A～Eについてチャージゲイン量を測定した結果を図5に示す。チャージゲイン量の測定値を示すと、試料Aでは0.29V、試料Bでは

50

(4)

特開平7-94606

5

0.08V、試料Cでは0.05V、試料Dでは0.06V、試料Eでは0.03Vであった。この結果から、膜応力の熱ヒステリシスの大きいPSG膜をバッシャーション膜に用いた試料Aでは大きなチャージゲイン量を示している。それに対し、試料B～Eはバッシャーション膜として膜応力の熱ヒステリシスの小さいTEOSシリコン酸化膜をシリコン空化膜の下地に用いているので、チャージゲイン量が小さくなっている。

【0016】試料CとEではシリコン空化膜の膜応力が圧縮応力型であり、試料BとDでは引っ張り応力型である。図5の測定結果から、シリコン空化膜の膜応力が圧縮型の方が引っ張り型よりもチャージゲイン量は小さくなっている。また、メタル配線の層間絶縁膜の種類がPSG膜である試料B、CとTEOSシリコン酸化膜である試料D、Eを比較すると、2層メタル配線の層間絶縁膜として膜応力の熱ヒステリシスの小さいTEOSシリコン酸化膜を用いる方が膜応力の熱ヒステリシスの大きいPSG膜を用いるよりもチャージゲイン量が小さくなっている。

【0017】図4に示した実施例ではバッシャーション膜としてTEOSシリコン酸化膜上に紫外線透過型シリコン空化膜を積層したものを使用しているが、シリコン空化膜は紫外線非透過型であってもよい。また、水分の透過に対する要求が大きくない場合にはシリコン空化膜を設けず、TEOSシリコン酸化膜単層のバッシャーション膜とすることもできる。

【0018】

【発明の効果】本発明の不揮発性半導体メモリ装置ではバッシャーション膜として膜応力の熱ヒステリシスの小さい絶縁膜を用いることによってチャージゲイン量を抑

10

10

えることができる。2層メタル配線を用いる場合のメタル配線の層間絶縁膜としても膜応力の熱ヒステリシスの小さい絶縁膜を用いることによってさらにチャージゲイン量を抑えることができる。バッシャーション膜の膜応力を引っ張り応力型バッシャーション膜よりも圧縮応力型バッシャーション膜にする方がチャージゲイン量を抑えることができる。

【図面の簡単な説明】

【図1】本発明が適用される不揮発性半導体メモリ装置を示す断面図である。

【図2】チャージゲイン評価のための熱サイクルを示す図である。

【図3】各種単層膜の応力ヒステリシスを示す図である。

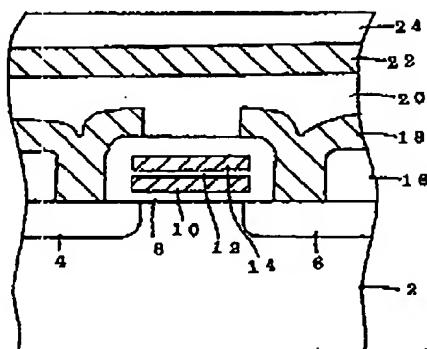
【図4】比較例Aと実施例B～Eの層間絶縁膜とバッシャーション膜の種類を示す図である。

【図5】比較例Aと実施例B～Eのチャージゲイン量を示す図である。

【符号の説明】

- | | | |
|----|----|--------------|
| 20 | 4 | ソース領域 |
| | 6 | ドレイン領域 |
| | 8 | ゲート酸化膜 |
| | 10 | フローティングゲート電極 |
| | 12 | ONO誘電体膜 |
| | 14 | コントロールゲート電極 |
| | 18 | 1層目メタル配線 |
| | 20 | 層間絶縁膜 |
| | 22 | 2層目メタル配線 |
| | 24 | バッシャーション膜 |

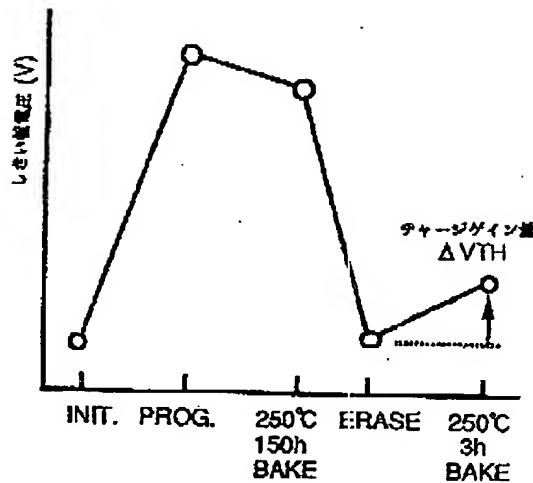
【図1】



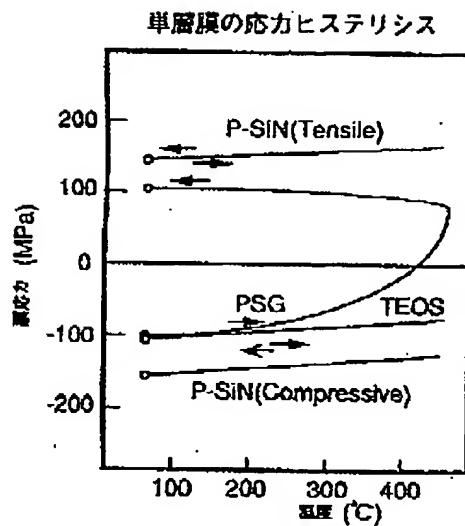
(5)

特許平7-94606

【図2】



【図3】



【図4】

試験	メタル配線の層間絶縁膜	パッケージ構成膜
A	PSG / PSG	PSG / UV Trans.SiN (Tensile)
B	PSG / PSG	TEOS / UV Trans.SiN (Tensile)
C	PSG / PSG	TEOS / UV Trans.SiN (Compressive)
D	TEOS / TEOS	TEOS / UV Trans.SiN (Tensile)
E	TEOS / TEOS	TEOS / UV Trans.SiN (Compressive)

UV Trans.SiN (Tensile) : +150 (MPa)
UV Trans.SiN (Compressive) : -150 (MPa)

(6)

特開平7-94606

[図5]

